

L1: Entry 11 of 13

File: DWPI

Oct 23, 1991

DERWENT-ACC-NO: 1991-356786

DERWENT-WEEK: 199149

COPYRIGHT 2004 DERWENT INFORMATION LTD

Re/da

102b-

103-

TITLE: Flattening multilayer wiring eliminating voids within interlayer film - by depositing thin silicon cpd. contg. oxygen atoms. on nitride film formed on wiring
NoAbstract Dwg 1/3

PRIORITY-DATA: 1990JP-0034407 (February 14, 1990)

Kato

PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES

MAIN-IPC

JP 03237722 A

October 23, 1991

000

INT-CL (IPC): H01L 21/32

L2: Entry 11 of 13

File: JPAB

Oct 23, 1991

PUB-NO: JP403237722A

DOCUMENT-IDENTIFIER: JP 03237722 A

TITLE: METHOD OF FLATTENING MULTILAYER WIRING

PUBN-DATE: October 23, 1991

INVENTOR-INFORMATION:

NAME

KATO, HIROSHI

COUNTRY

US-CL-CURRENT: 438/624; 438/699, 438/FOR.388, 438/FOR.391

INT-CL (IPC): H01L 21/3205

ABSTRACT:

PURPOSE: To improve the adhesion of SOG to a layer beneath it, to remove voids in the inter-layer film of a multilayer wiring and to reduce the dispersion of capacitance between first wirings by growing a thin Si compound containing oxygen atoms onto a nitride film.

CONSTITUTION: First wirings 2 are formed onto a semiconductor substrate 1, a first nitride film 3 is grown through a plasma CVD method, SiO₂4 is grown onto the first nitride film 3 through a CVD method, the upper section of SiO₂4 is spin-coated with SOG5, and the whole is baked at approximately 150-600°C. SOG5 and SiO₂4 are etched back simultaneously through anisotropic dry etching. A second nitride film 6 is grown through the plasma CVD method, and a second wiring 7 is formed onto the second nitride film 6.

⑨日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平3-237722

⑬Int.Cl.⁵
H 01 L 21/3205

識別記号

府内整理番号

⑭公開 平成3年(1991)10月23日

6810-5F H 01 L 21/88

K

審査請求 未請求 請求項の数 1 (全3頁)

⑮発明の名称 多層配線の平坦化方法

⑯特 願 平2-34407

⑰出 願 平2(1990)2月14日

⑱発明者 加藤 博 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳代理人 弁理士 内原 晋

明細書

発明の名称

多層配線の平坦化方法

特許請求の範囲

多層配線の層間膜として窒化膜を用い、埋込材料としてスピノングラスを用いる多層配線の平坦化方法において、第1配線の形成された基板上に第1窒化膜を成長する工程と、該第1窒化膜上に酸素原子を含んだSi化合物を形成する工程と、スピノングラスを埋め込む工程と、異方性ドライエッティングによりスピノングラスおよび酸素原子を含んだSi化合物を同時にエッチバックする工程と、エッチバックされた表面に第2の窒化膜を成長する工程とを含むことを特徴とする多層配線の平坦化方法。

発明の詳細な説明

(産業上の利用分野)

本発明は多層配線の平坦化方法に関し、特に半導体装置の表面に形成する多層配線の平坦化方法に関する。

(従来の技術)

従来、この種の多層配線の平坦化方法は第3図(a)に示す様に、半導体基板1に第1配線2を形成し、次に、第3図(b)に示す様に第1窒化膜3を成長し、さらに、第3図(c)に示す様に、その上にスピノングラス(以下SOGと記す)を回転塗布し、150°Cから600°C程度でペークを行い、CF₄ガスなどで、異方性ドライエッティングを行う。次いで、第3図(d)に示す様に、第2窒化膜6を成長し、さらに第2配線7を成長することにより形成していた。

(発明が解決しようとする課題)

上述した従来の多層配線の平坦化方法は、窒化膜に直接SOGを回転塗布するために、窒化膜とSOGとの密着性が悪いため、塗布後のペークにより第1窒化膜からSOGがはがれ窒化膜とSOGとの間にポイドが生じてしまう。これにより

第一配線の配線間容量がばらついてしまうという欠点がある。

本発明の目的は、SOGと下層膜との密着性を向上させ、多層配線の層間膜中のボイドをなくし、第1配線間の容量のバラツキを低減することができる多層配線の平坦化方法を提供することにある。

(課題を解決するための手段)

本発明の多層配線の平坦化方法は、多層配線の層間膜として塗化膜を用い、埋込材料としてスピノングラスを用いる多層配線の平坦化方法において、第1配線の形成された基板上に第1塗化膜を成長する工程と、その第1塗化膜上に酸素原子を含んだSi化合物を形成する工程と、スピノングラスを埋め込む工程と、異方性ドライエッティングによりスピノングラスおよび酸素原子を含んだSi化合物を同時にエッチバックする工程と、エッチバックされた表面に第2の塗化膜を成長する工程とを含んで構成される。

(実施例)

線7を形成する。

第2図(a)～(d)は本発明の他の実施例を説明するための工程縦断面図である。第1の実施例と同様に第2図(a)に示す様に半導体基板1上に第1配線2を形成する。次に、プラズマCVD法により成長した第1塗化膜3を5000Å形成し、ひき続いてCVD法により、塗酸化膜8を500Å成長する。つづいて、SOG5を5000rpmで回転塗布し、150℃～600℃でベークを行う。この様子を第2図(b)に示す。次に、第2図(c)に示す様にSOG5と塗酸化膜8を同時に異方性ドライエッティングによりエッチバックを行う。この時のドライエッチの条件は、第1の実施例と同じである。次に、第1図(d)に示す様にプラズマCVD法により成長した第2塗化膜6を形成し、その上に第2配線7を形成する。

この実施例では第一塗化膜3上に塗酸化膜8を成長するため第一塗化膜3との密着性が向上し、また、耐温性も向上する利点がある。

次に、本発明について図面を参照して説明する。第1図(a)～(d)は本発明の一実施例を説明するために工程順に示した縦断面図である。まず第1図(a)に示す様に半導体基板1に第1配線2を形成し、次に、第1図(b)に示す様にプラズマCVD法により第1塗化膜3を5000Å成長し、ひき続いてSiO₂4をCVD法により、プラズマCVD法により成長した第1塗化膜3上に500Å成長し、さらにその上に、SOG5を3000rpmで回転塗布し、150℃～600℃程度でベークを行う。次に、第1図(c)に示す様に異方性ドライエッティングにより、SOG5及び、SiO₂4を同時にエッチバックを行う。この時のドライエッティングの条件は、ガスがCF₄及びH₂で流量はCF₄が30cc/min、H₂が10cc/min、またこの時のパワーは450Wで真空度は5Paであり、エッティング時間は3分である。次に、第1図(d)に示す様に、プラズマCVD法により第2塗化膜6を5000Å成長し、その上に、第2配

(発明の効果)

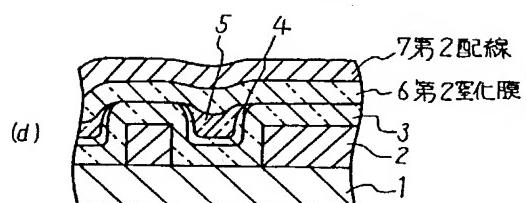
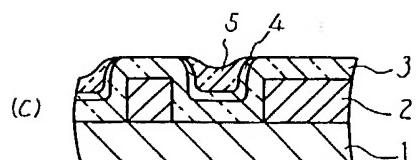
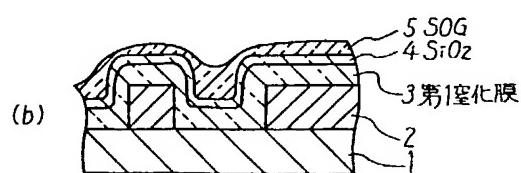
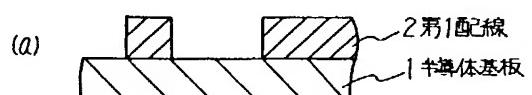
以上説明したように本発明は塗化膜上に薄い酸素原子を含んだSi化合物を成長することにより、SOGの下層膜との密着性を向上させ、多層配線の層間膜中のボイドをなくし、第一配線間の容量のバラツキを低減できる効果がある。

図面の簡単な説明

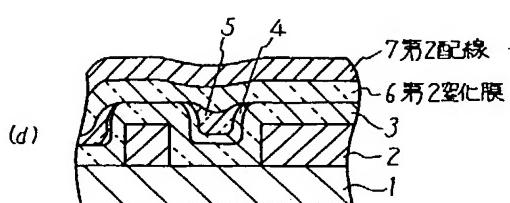
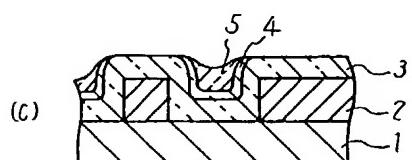
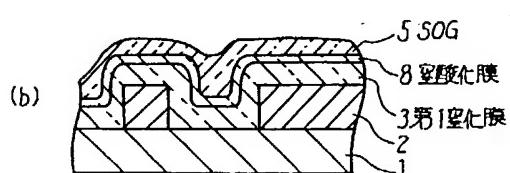
第1図(a)～(d)は本発明の一実施例を説明するための工程縦断面図、第2図(a)～(d)は本発明の他の実施例を説明するための工程縦断面図、第3図(a)～(d)は従来の多層配線の平坦化方法を説明するための工程縦断面図である。

1…半導体基板、2…第1配線、3…第1塗化膜、4…SiO₂、5…SOG、6…第2塗化膜、7…第2配線、8…塗酸化膜、9…ボイド。

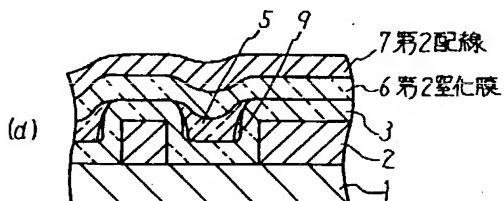
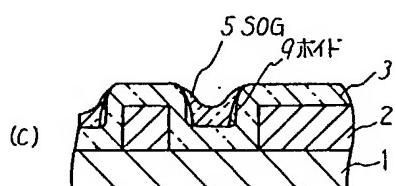
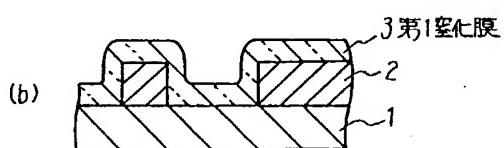
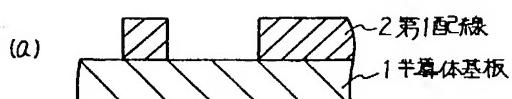
代理人弁理士内原晋



第 1 図



第 2 図



第 3 図